

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-031825

(43)Date of publication of application : 02.02.1999

(51)Int.Cl.

H01L 29/84  
G01P 15/125

(21)Application number : 09-185022

(71)Applicant : DENSO CORP

(22)Date of filing : 10.07.1997

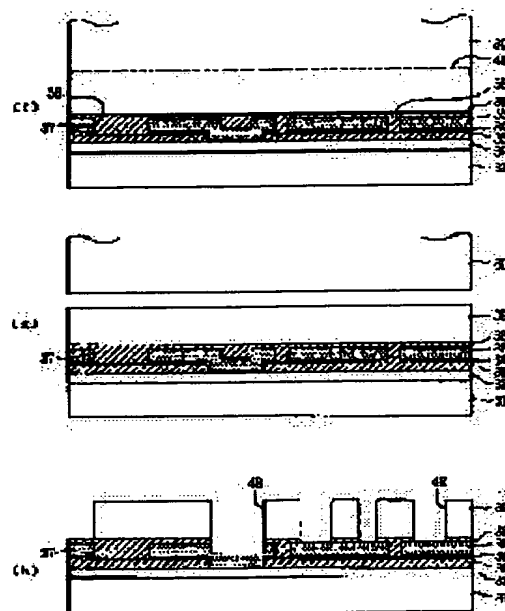
(72)Inventor : YAMAUCHI SHOICHI  
MATSUI MASAKI

## (54) METHOD FOR MANUFACTURING SEMICONDUCTOR DYNAMIC QUANTITY SENSOR

## (57)Abstract:

**PROBLEM TO BE SOLVED:** To strictly control the thickness dimension of a beam structure body which is provided for detecting dynamic quantity.

**SOLUTION:** On a single-crystal silicon substrate 31, a silicon oxide film 32, a polysilicon thin film 33 which is to be an interconnection pattern, a silicon nitride film 34, and a silicon oxide film 35 which is to be a sacrificial layer are film-formed. Then after an opening part 36 has been formed, polysilicon thin films 37 and 38 are film-formed on the polysilicon thin-film 38, a single-crystal silicon substrate 39 where an ion-implantation layer 41 is formed is pasted (f). By performing thermal treatment under the condition, the single-crystal silicon substrate 39 is released from a part of ion-implantation layer 42, to form a single-crystal silicon thin film 39a made into an SOI structure (g). Then, a trench-etching is performed with the single-crystal silicon thin-film 39a to form a groove pattern 42 for establishing a beam structure body, a fixed electrode, etc., (h). After that, a process such as the silicon oxide film 35 being removed by wet-etching is performed.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japanese Patent Office

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平11-31825

(43)公開日 平成11年(1999) 2月2日

(51)Int.Cl.<sup>6</sup>

識別記号

F I

H 0 1 L 29/84

H 0 1 L 29/84

Z

G 0 1 P 15/125

G 0 1 P 15/125

審査請求 未請求 請求項の数22 O L (全 17 頁)

(21)出願番号 特願平9-185022

(22)出願日 平成9年(1997) 7月10日

(71)出願人 000004260

株式会社デンソー

愛知県刈谷市昭和町1丁目1番地

(72)発明者 山内 庄一

愛知県刈谷市昭和町1丁目1番地 株式会  
社デンソー内

(72)発明者 松井 正樹

愛知県刈谷市昭和町1丁目1番地 株式会  
社デンソー内

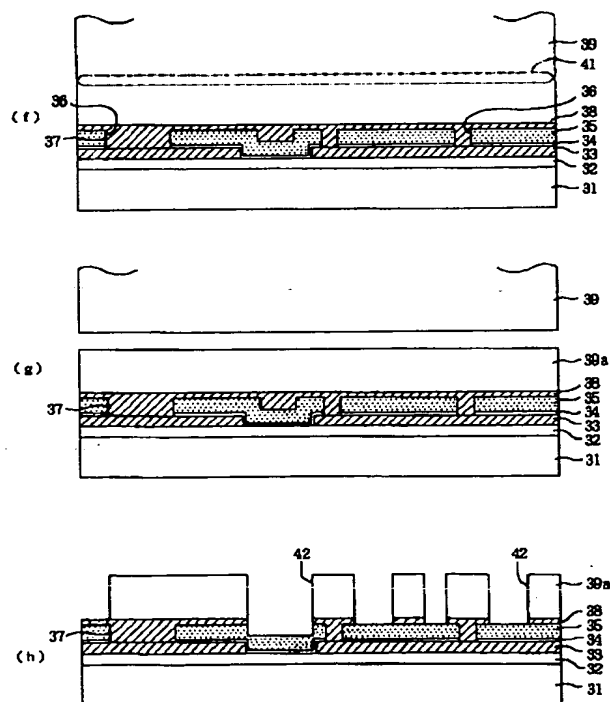
(74)代理人 弁理士 佐藤 強

## (54)【発明の名称】 半導体力学量センサの製造方法

## (57)【要約】

【課題】 力学量を検出するために設けられる梁構造体の厚さ寸法を厳密に制御すること。

【解決手段】 単結晶シリコン基板31上には、シリコン酸化膜32、配線パターンとなるポリシリコン薄膜33、シリコン窒化膜34、犠牲層となるシリコン酸化膜35が成膜され、開口部36が形成された後に、ポリシリコン薄膜37及び38が成膜される。ポリシリコン薄膜38上には、イオン注入層41が形成された状態の単結晶シリコン基板39が貼り合される(図2(f))。この状態から熱処理を施すことによって、単結晶シリコン基板39をイオン注入層41部分で剥離し、SOI構造とされた単結晶シリコン薄膜39aを形成する(図2(g))。次いで、単結晶シリコン薄膜39aにトレンチエッチングを施すことにより、梁構造体や固定電極などを画定するための溝パターン42を形成し(図2(h))、この後にシリコン酸化膜35をウエットエッチングにより除去するなどの工程を行う。



**【特許請求の範囲】**

**【請求項 1】** ベース基板（1、31）と、  
このベース基板（1、31）上に当該ベース基板と電気的に絶縁された状態のアンカー部（3a、3b、3c、3d）を介して支持され、力学量の作用に応じて変位する半導体材料製の梁構造体（2、2'）とを備え、  
力学量が作用した状態での前記梁構造体（2、2'）の変位をセンサ出力として取り出すようにした半導体力学量センサの製造方法において、  
前記ベース基板（1、31）上に、前記アンカー部（3a、3b、3c、3d）及びこのアンカー部の周囲に位置した犠牲層用薄膜（35）を含む層を成膜する成膜工程、  
前記ベース基板（1、31）とは別途に用意した半導体基板（39）に対し、所定深さまでイオン注入を行ってイオン注入層（41、41'、41''）を形成するイオン注入工程、  
このイオン注入工程を経た半導体基板（39）のイオン注入側の面と前記成膜工程を経た前記ベース基板（1、31）側の成膜側の面とを貼り合わせる貼り合わせ工程、  
熱処理を施すことにより前記半導体基板（39）を前記イオン注入層（41、41'、41''）により形成される欠陥層領域部分で剥離する剥離工程、  
前記ベース基板（1、31）側に貼り合わされた状態の半導体基板（39）を所定形状に加工すると共に、前記犠牲層用薄膜（35）をウェットエッチングにより除去することによって前記アンカー部（3a、3b、3c、3d）により支持された状態の梁構造体（2、2'）を形成する整形工程、を実行することを特徴とする半導体力学量センサの製造方法。

**【請求項 2】** 前記イオン注入工程では、前記半導体基板（39）に対し、前記梁構造体（2、2'）の厚さ寸法に対応した深さ位置までイオン注入を行うことによりイオン注入層（41）を形成することを特徴とする請求項 1 記載の半導体力学量センサの製造方法。

**【請求項 3】** 前記イオン注入工程では、前記半導体基板（39）に対し、前記梁構造体（2、2'）の厚さ寸法より浅い深さ位置までイオン注入を行うことによりイオン注入層（41'）を形成するように構成され、  
前記剥離工程の実行後において、前記ベース基板（1、31）側に貼り合わされた状態の前記半導体基板（39）の剥離部分の表面に、半導体を成長させることによって前記梁構造体（2、2'）の厚さ寸法に対応した膜厚の半導体層（49）を形成する成長工程を実行し、  
この後に前記整形工程を実行することを特徴とする請求項 1 記載の半導体力学量センサの製造方法。

**【請求項 4】** 前記イオン注入工程では、前記半導体基板（39）に対し、前記梁構造体（2、2'）の厚さ寸法より浅い深さ位置までイオン注入を行うことによりイ

オン注入層（41'）を形成するように構成され、  
前記貼り合わせ工程の実行前において、前記半導体基板（39）のイオン注入側の面に、半導体を前記イオン注入層（41'）での剥離が起きる温度より低い温度にて成長させることによって前記梁構造体（2、2'）の厚さ寸法に対応した膜厚の半導体層（50）を形成する成長工程を実行し、  
この後に前記貼り合わせ工程、剥離工程及び整形工程を実行することを特徴とする請求項 1 記載の半導体力学量センサの製造方法。

**【請求項 5】** 前記成長工程では、エピタキシャル成長により半導体層（49、50）を形成するように構成されていることを特徴とする請求項 3 または 4 記載の半導体力学量センサの製造方法。

**【請求項 6】** 前記ベース基板（1、31）の材料として半導体材料を使用し、前記成膜工程では、上記ベース基板（1、31）上に絶縁体薄膜（32）を形成した後に、その絶縁体薄膜（32）上に前記犠牲層用薄膜（35）を含む層を形成することを特徴とする請求項 1 ないし 5 の何れかに記載の半導体力学量センサの製造方法。

**【請求項 7】** ベース基板（1、31）と、  
このベース基板（1、31）上に当該ベース基板と電気的に絶縁された状態のアンカー部（3a、3b、3c、3d）を介して支持され、可動電極（7a、7b）を一体に有する半導体材料製の梁構造体（2、2'）と、  
ベース基板（1、31）上に当該ベース基板と電気的に絶縁された状態で形成され、前記可動電極（7a、7b）と所定距離を存して対向配置された半導体材料製の固定電極（8、8'、9、10、10'、11）とを備え、  
力学量が作用した状態での前記梁構造体（2、2'）の変位に伴う前記可動電極（7a、7b）及び固定電極（8、8'、9、10、10'、11）間の静電容量の変化をセンサ出力として取り出すようにした容量型の半導体力学量センサの製造方法において、  
前記ベース基板（1、31）上に、配線パターン（19、20、21、22）を形成するための第 1 の導電層用薄膜（33）を、当該ベース基板（1、31）と電気的に絶縁した状態で成膜する第 1 成膜工程、  
前記第 1 の導電層用薄膜（33）上に犠牲層用薄膜（35）を形成する第 2 成膜工程、  
前記犠牲層用薄膜（35）における前記アンカー部（3a、3b、3c、3d）及び固定電極（8、8'、9、10、10'、11）の各形成領域に前記第 1 の導電層用薄膜（33）に臨む複数の開口部（36）を形成する開口工程、  
前記開口部（36）を含む前記犠牲層用薄膜（35）上の所定領域に、前記第 1 の導電層用薄膜（33）に対し当該開口部（36）を通じて電気的に接続された状態の第 2 の導電性薄膜（37）を形成する第 3 成膜工程、

前記ベース基板（１、３１）とは別途に用意した半導体基板（３９）に対し、所定深さまでイオン注入を行ってイオン注入層（４１、４１'、４１''）を形成するイオン注入工程、

このイオン注入工程を経た半導体基板（３９）のイオン注入側の面と前記第３成膜工程を経た前記ベース基板（１、３１）における第２の導電性薄膜（３７）側の面とを貼り合わせる貼り合わせ工程、

熱処理を施すことにより前記半導体基板（３９）を前記イオン注入層（４１、４１'、４１''）により形成される欠陥層領域部分で剥離する剥離工程、

前記ベース基板（１、３１）側に貼り合わされた状態の半導体基板（３９）に対して、前記梁構造体（２、２'）並びに固定電極（８、８'、９、１０、１０'、１１）を画定する溝パターン（４２）を形成するなどの加工を施すと共に、前記犠牲層用薄膜（３５）をウェットエッチングにより除去することによって前記アンカー部（３ａ、３ｂ、３ｃ、３ｄ）により支持された状態の梁構造体（２、２'）並びに前記固定電極（８、８'、９、１０、１０'、１１）を形成する整形工程、を実行することを特徴とする半導体力学量センサの製造方法。

【請求項８】 前記第３成膜工程では、前記犠牲層用薄膜（３５）における前記開口部（３６）に対応した領域のみに前記第１の導電層用薄膜（３３）と電気的に接続された状態の第２の導電性薄膜（３７）を形成することを特徴とする請求項７記載の半導体力学量センサの製造方法。

【請求項９】 前記第３成膜工程では、前記開口工程により形成された開口部（３６）に対し前記第２の導電層用薄膜（３７）を埋め込んだ後に、当該第２の導電層用薄膜（３７）と同材質の材料を堆積し、この状態で第１の導電層用薄膜（３７）の埋め込み段差を平坦化するための平坦化研磨を行うことを特徴とする請求項８記載の半導体力学量センサの製造方法。

【請求項１０】 前記第２成膜工程の実行前に、前記第１の導電層用薄膜（３３）及び犠牲層用薄膜（３５）との間に介在された状態となるエッチングストップ膜（３４）を形成する工程を実行することを特徴とする請求項７ないし９の何れかに記載の半導体力学量センサの製造方法。

【請求項１１】 前記イオン注入工程では、前記半導体基板（３９）に対し、前記梁構造体（２、２'）の厚さ寸法に対応した深さ位置までイオン注入を行うことによりイオン注入層（４１）を形成することを特徴とする請求項７ないし１０の何れかに記載の半導体力学量センサの製造方法。

【請求項１２】 前記イオン注入工程では、前記半導体基板（３９）に対し、前記梁構造体（２、２'）の厚さ寸法より浅い深さ位置までイオン注入を行うことによりイオン注入層（４１'）を形成するように構成され、

前記剥離工程の実行後において、前記ベース基板（１、３１）側に貼り合わされた状態の前記半導体基板（３９）の剥離部分の表面に、半導体を成長させることによって前記梁構造体（２、２'）の厚さ寸法に対応した膜厚の半導体層（４９）を形成する成長工程を実行し、この後に前記整形工程を実行することを特徴とする請求項７ないし１０の何れかに記載の半導体力学量センサの製造方法。

【請求項１３】 前記イオン注入工程では、前記半導体基板（３９）に対し、前記梁構造体（２、２'）の厚さ寸法より浅い深さ位置までイオン注入を行うことによりイオン注入層（４１'）を形成するように構成され、前記貼り合わせ工程の実行前において、前記半導体基板（３９）のイオン注入側の面に、半導体を前記イオン注入層（４１'）での剥離が起きる温度より低い温度にて成長させることによって前記梁構造体（２、２'）の厚さ寸法に対応した膜厚の半導体層（５０）を形成する成長工程を実行し、

この後に前記貼り合わせ工程、剥離工程及び整形工程を実行することを特徴とする請求項７ないし１０の何れかに記載の半導体力学量センサの製造方法。

【請求項１４】 前記成長工程では、エピタキシャル成長により半導体層（４９、５０）を形成するように構成されていることを特徴とする請求項１２または１３記載の半導体力学量センサの製造方法。

【請求項１５】 前記イオン注入工程では、前記半導体基板（３９）のイオン注入側の面に対し、最終的に梁構造体（２、２'）及び固定電極（８、８'、９、１０、１０'、１１）となる部分以外の領域と一致した形状のレジスト層（５１）を形成しておき、この状態から前記梁構造体（２、２'）の厚さ寸法に対応した深さ位置までイオン注入を行うことによりイオン注入層（４１''）を形成することを特徴とする請求項７ないし１０の何れかに記載の半導体力学量センサの製造方法。

【請求項１６】 前記第３成膜工程では、前記開口部（３６）を含む前記犠牲層用薄膜（３５）上の所定領域に、前記第１の導電層用薄膜（３３）に対し当該開口部（３６）を通じて電気的に接続された状態の第２の導電性薄膜（３７）及びこれを覆う貼り合わせ用薄膜（３８）を形成するように構成され、

上記第３成膜工程の実行後に、最終的に梁構造体（２、２'）及び固定電極（８、８'、９、１０、１０'、１１）となる部分以外の領域に対応した部分の貼り合わせ用薄膜（３８）を除去して凹部（３８ａ）を形成する工程を行った後に、前記貼り合わせ工程を行うことを特徴とする請求項７ないし１５の何れかに記載の半導体力学量センサの製造方法。

【請求項１７】 前記第１成膜工程では、ベース基板（１、３１）上に、絶縁体薄膜（３２）を成膜すると共に、前記配線パターン（１９、２０、２１、２２）のた

めの領域を除去することにより他の部位より薄くなった段差部(32a)を形成し、この段差部(32a)上に第1の導電層用薄膜(33)を成膜するように構成されていることを特徴とする請求項7ないし16の何れかに記載の半導体力学量センサの製造方法。

【請求項18】 前記整形工程の実行前または実行後に、少なくとも前記可動電極(7a、7b)及び固定電極(8、8'、9、10、10'、11)を構成する半導体部分に不純物を導入することを特徴とする請求項7ないし17の何れかに記載の半導体力学量センサの製造方法。

【請求項19】 前記ベース基板(1、31)の材料として半導体材料を使用し、前記第1成膜工程では、上記ベース基板(1、31)上に絶縁体薄膜(32)を形成した後に、その絶縁体薄膜(32)上に前記第1の導電層用薄膜(33)を形成することを特徴とする請求項7ないし18の何れかに記載の半導体力学量センサの製造方法。

【請求項20】 前記第1及び第2の導電性薄膜は、多結晶シリコンに不純物を導入して形成されることを特徴とする請求項7ないし19の何れかに記載の半導体力学量センサの製造方法。

【請求項21】 前記半導体基板(39)は単結晶半導体基板であることを特徴とする請求項1ないし20の何れかに記載の半導体力学量センサの製造方法。

【請求項22】 前記半導体層(49、50)は単結晶半導体層であることを特徴とする請求項3ないし5及び12ないし14の何れかに記載の半導体力学量センサの製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、力学量の作用に応じた梁構造体の変位をセンサ出力として取り出すようにした半導体力学量センサ、例えば、加速度やヨーレートなどの力学量を検出するための半導体力学量センサの製造方法に関する。

【0002】

【従来の技術】 例えば、静電容量型の半導体加速度センサにあっては、加速度の作用に応じた梁構造体の変位を、当該梁構造体と一体に設けられた可動電極と基板上に設けられた固定電極間との静電容量の変化として取り出す構成となっている。斯様な半導体加速度センサにおいて、梁構造体の機械的信頼性を向上させて良好な出力特性を得るためには、その梁構造体を、物理的性質が安定した単結晶半導体により構成することが望ましいとされている。このため、従来では、SOI(Silicon On Insulator)基板形成技術及びサーフェスマイクロマシニング技術を利用して、単結晶シリコンより成る梁構造体を備えた半導体加速度センサを製造することが試みられている。

【0003】 具体的には、SOI基板を形成するに当たっては、所謂貼り合わせ法を利用することが行われている。この場合には、例えば、最終的に梁構造体及び固定電極などを構成することになる第1の単結晶シリコン基板に対して、梁構造体支持用及び固定電極支持用の各アンカー部のための半導体膜(例えばポリシリコン膜)、アンカー部となる領域の周囲に位置された犠牲層薄膜(例えばシリコン酸化膜)、その犠牲層薄膜のエッチングストップ膜(例えばシリコン窒化膜)、SOI基板に必要な絶縁体薄膜(例えばシリコン酸化膜)などを含む支持層を形成し、斯様な第1の単結晶シリコン基板と、ベース基板となる第2の単結晶シリコン基板とを、上記支持層を介して互いに貼り合わせる工程を行うことによりSOI構造を形成する。

【0004】 そして、第1の単結晶シリコン基板に対して、梁構造体の厚さに応じた膜厚まで機械研磨(ラッピング及び必要に応じてポリシング)などを施し、この後に所望の膜厚となった上記第1の単結晶シリコン基板を、フォトリソグラフィ技術を利用したエッチングなどにより所定形状に加工すると共に、前記犠牲層用薄膜をウェットエッチングにより除去するなどの工程を経ることにより、当該第1の単結晶シリコン基板に対し可動電極を備えた梁構造体及び固定電極を形成するようにしている。

【0005】

【発明が解決しようとする課題】 上記従来構成の場合、可動電極を含む梁構造体及び固定電極の厚さ寸法は、貼り合わせ工程後の第1の単結晶シリコン基板(SOI構造のSi領域となる部分)の機械研磨精度に依存することになる。しかしながら、上記のような機械研磨には長時間のラッピングが必要になる関係上、膜厚制御性を十分に高めることが困難であり、このため、目標とする膜厚が10~20μm程度であった場合に2~3μm程度の誤差(膜厚ばらつき)を生ずることが避けられないという事情があった。これに対して、センサの動作特性を一定に保つためには、膜厚ばらつきを数十~100nm程度以下に制御することが要求されるものであり、結果的に上述したような製造方法を採用した場合には、半導体加速度センサの出力特性が不安定になると共に、歩留まりが低下するという問題点が出てくる。

【0006】 本発明は上記事情に鑑みてなされたものであり、その目的は、力学量を検出するために設けられた梁構造体の厚さ寸法を厳密に制御することができて、センサ出力特性の安定化や歩留まりの向上を実現できるなどの効果を奏する半導体力学量センサの製造方法を提供することにある。

【0007】

【課題を解決するための手段】 上記目的を達成するために請求項1に記載した製造方法を採用することができ、この製造方法によれば、成膜工程において、ベース

基板(1、31)上に、アンカー部(3a、3b、3c、3d)及びこのアンカー部の周囲に位置した犠牲層用薄膜(35)を含む層が成膜され、イオン注入工程において、上記ベース基板(1、31)とは別途に用意された半導体基板(39)に対し、所定深さまでイオン注入が行われてイオン注入層(41、41'、41'')が形成されるものであり、そのイオン注入層(41、41'、41'')は当該半導体基板(39)の表面と平行な分布状態となる。

【0008】この後には、貼り合わせ工程において、上記イオン注入層(41、41'、41'')が設けられた半導体基板(39)のイオン注入側の面と、前記ベース基板(1、31)側の成膜側の面とが貼り合わされる。次いで、剥離工程において熱処理が施されるのであり、この熱処理に伴い、半導体基板(39)におけるイオン注入層(41、41'、41'')により形成される欠陥層領域部分で、微小気泡が凝集してマクロな気泡を生じ、これにより当該欠陥層領域部分を境界とした剥離が生ずる。この結果、薄膜状の半導体基板(39)がベース基板(1、31)上にこれと絶縁された状態で積層されたSOI構造が形成されることになる。

【0009】この後、整形工程において、上記のようにベース基板(1、31)側に貼り合わされた状態の半導体基板(39)が所定形状に加工されると共に、前記犠牲層用薄膜(35)がウェットエッチングにより除去されることによって、前記アンカー部(3a、3b、3c、3d)により支持された状態の梁構造体(2、2')が形成されるものであり、以て半導体力学量センサの基本構造が完成することになる。

【0010】上述した製造方法によれば、梁構造体(2、2')の厚さ寸法は、剥離工程を経て剥離された薄膜状の半導体基板(39)の膜厚に応じて決まることになる関係上、その膜厚制御のために、従来構成のようにラッピングによる機械研磨を長時間にわたって行う必要がなくなるものであり、当該膜厚を高い精度で制御可能になる。この結果、梁構造体(2、2')の厚さ寸法を厳密に制御することができて、センサ出力特性の安定化や歩留まりの向上などを実現できるようになる。

【0011】この場合、請求項2記載の製造方法のように、前記イオン注入工程において、半導体基板(39)に対し、梁構造体(2、2')の厚さ寸法に対応した深さ位置までイオン注入を行うことによりイオン注入層(41)を形成する構成とすれば、剥離工程を経て剥離される薄膜状の半導体基板(39)の膜厚は、上記イオン注入深さに依存するようになるため、極めて高い精度で制御可能となる。具体的には、当該製造方法によれば、上記薄膜状の半導体基板(39)の膜厚ばらつきを数nm程度のオーダーまで低減可能であり、これにより梁構造体(2、2')の厚さ寸法を厳密に制御することができて、センサ出力特性の安定化や歩留まりの向上な

どを確実に実現できるようになる。

【0012】請求項3及び4記載の製造方法によれば、イオン注入工程において、半導体基板(39)に対し、梁構造体(2、2')の厚さ寸法より浅い深さ位置までイオン注入を行うだけで良いから、イオン注入エネルギーを大きくする必要がなくなるものであり、結果的に大型のイオン注入装置が不要となって製造設備の大規模化を招く恐れがなくなる。尚、これらの製造方法においては、梁構造体(2、2')の厚さ寸法は、成長工程で形成される半導体層(49)の膜厚に依存することになるが、この場合においても当該膜厚を十分に高い精度で制御できるから、梁構造体(2、2')の厚さ寸法を厳密に制御可能となるものである。

【0013】請求項6記載の製造方法のように、ベース基板(1、31)の材料として半導体材料を使用した場合には、当該ベース基板(1、31)と、これに貼り合わされる半導体基板(39)との間で発生する熱応力を低減することができるため、その熱応力に起因した梁構造体(2、2')での歪み発生を抑制できて、センサ出力特性の悪化を未然に防止できることになる。

【0014】また、力学量が作用した状態での半導体材料製の梁構造体(2、2')の変位を、当該梁構造体(2、2')と一体の可動電極(7a、7b)と半導体材料製の固定電極(8、8'、9、10、10'、11)との間の静電容量の変化に応じたセンサ出力として取り出すようにした容量型の半導体力学量センサを製造する場合には、請求項7に記載した製造方法を採用できる。

【0015】この製造方法では、第1成膜工程において、ベース基板(1、31)上に、配線パターン(19、20、21、22)を形成するための第1の導電層用薄膜(33)が、当該ベース基板(1、31)と電気的に絶縁した状態で成膜され、第2成膜工程において、第1の導電層用薄膜(33)上に犠牲層用薄膜(35)が形成される。さらに、開口工程において、犠牲層用薄膜(35)におけるアンカー部(3a、3b、3c、3d)及び固定電極(8、8'、9、10、10'、11)の各形成領域に第1の導電層用薄膜(33)に臨む複数の開口部(36)が形成され、第3成膜工程において、前記開口部(36)を含む前記犠牲層用薄膜(35)上の所定領域に、前記第1の導電層用薄膜(33)に対し当該開口部(36)を通じて電気的に接続された状態の第2の導電性薄膜(37)が形成される。

【0016】また、イオン注入工程においては、上記ベース基板(1、31)とは別途に用意された半導体基板(39)に対し、所定深さまでイオン注入が行われてイオン注入層(41、41'、41'')が形成されるものであり、そのイオン注入層(41、41'、41'')は当該半導体基板(39)の表面と平行な分布状態となる。

【0017】この後には、貼り合わせ工程において、上記イオン注入層（41、41'、41''）が設けられた半導体基板（39）のイオン注入側の面と、前記第3成膜工程を経た前記ベース基板（1、31）の第2の導電性薄膜（37）側の面とが貼り合わされる。次いで、剥離工程において熱処理が施されるものであり、この熱処理に伴い、半導体基板（39）におけるイオン注入層（41、41'、41''）により形成される欠陥層領域部分で、微小気泡が凝集してマクロな気泡を生じ、これにより当該欠陥層領域部分を境界とした剥離が生ずる。この結果、薄膜状の半導体基板（39）がベース基板（1、31）上にこれと絶縁された状態で積層されたS O I構造が形成されることになる。

【0018】この後、整形工程において、上記のようにベース基板（1、31）側に貼り合わされた状態の半導体基板（39）に対して、前記梁構造体（2、2'）並びに固定電極（8、8'、9、10、10'、11）を画定する溝パターン（42）を形成するなどの加工が施されると共に、前記犠牲層用薄膜（35）をウェットエッチングにより除去することによって、前記アンカー部（3a、3b、3c、3d）により支持された状態の梁構造体（2、2'）並びに前記固定電極（8、8'、9、10、10'、11）が形成されるものであり、以て半導体力学量センサの基本構造が完成することになる。

【0019】上述した製造方法によれば、梁構造体（2、2'）並びに固定電極（8、8'、9、10、10'、11）の厚さ寸法は、剥離工程を経て剥離された薄膜状の半導体基板（39）の膜厚に応じて決まることになる関係上、それらの膜厚制御のために、従来構成のようにラッピングによる機械研磨を長時間にわたって行う必要がなくなるものであり、当該膜厚を高い精度で制御可能になる。この結果、梁構造体（2、2'）並びに固定電極（8、8'、9、10、10'、11）の厚さ寸法を厳密に制御することができて、センサ出力特性の安定化や歩留まりの向上などを実現できるようになる。

【0020】請求項11記載の製造方法のように、前記イオン注入工程において、半導体基板（39）に対し、梁構造体（2、2'）の厚さ寸法に対応した深さ位置までイオン注入を行うことによりイオン注入層（41）を形成する構成とすれば、剥離工程を経て剥離される薄膜状の半導体基板（39）の膜厚は、上記イオン注入深さに依存するようになるため、極めて高い精度で制御可能となる。具体的には、当該製造方法によれば、上記薄膜状の半導体基板（39）の膜厚ばらつきを数nm程度のオーダーまで低減可能であり、これにより梁構造体（2、2'）並びに固定電極（8、8'、9、10、10'、11）の厚さ寸法を厳密に制御することができて、センサ出力特性の安定化や歩留まりの向上などを確実に実現できるようになる。

【0021】請求項12及び13記載の製造方法によれば、イオン注入工程において、半導体基板（39）に対し、梁構造体（2、2'）の厚さ寸法より浅い深さ位置までイオン注入を行うだけで良いから、イオン注入エネルギーを大きくする必要がなくなるものであり、結果的に大型のイオン注入装置が不要となって製造設備の大規模化を招く恐れがなくなる。尚、これらの製造方法においては、梁構造体（2、2'）並びに固定電極（8、8'、9、10、10'、11）の厚さ寸法は、成長工程で形成される半導体層（49）の膜厚に依存することになるが、この場合においても当該膜厚を十分に高い精度で制御できるから、梁構造体（2、2'）並びに固定電極（8、8'、9、10、10'、11）の厚さ寸法を厳密に制御可能となるものである。

【0022】請求項15記載の製造方法のように、イオン注入工程において、半導体基板（39）のイオン注入側の面に対し、最終的に梁構造体（2、2'）及び固定電極（8、8'、9、10、10'、11）となる部分以外の領域と一致した形状のレジスト層（51）を形成しておき、このレジスト層（51）の形成状態から前記梁構造体（2、2'）の厚さ寸法に対応した深さ位置までイオン注入を行うことによりイオン注入層（41''）を形成する構成とした場合には、そのイオン注入層（41''）の形状は、当該レジスト層（51）と対応した領域で欠損した形状、つまり、半導体基板（39）において、最終的に梁構造体（2、2'）及び固定電極（8、8'、9、10、10'、11）となる部分以外の領域の形状と一致するようになる。

【0023】上記のようなイオン注入工程の実行後に、貼り合わせ工程及び剥離工程が順次行われた場合には、半導体基板（39）におけるイオン注入層（41''）の欠陥領域に対応した部分については、ベース基板（1、31）側との接合状態が解除されて当該半導体基板（39）側に残置された状態となるものであり、従って、ベース基板（1、31）側に貼り合わされた状態の半導体基板（39）には、梁構造体（2、2'）並びに固定電極（8、8'、9、10、10'、11）を画定するための前記溝パターン（42）と同等の溝パターンが形成されることになる。

【0024】請求項16記載の製造方法のように、開口部（36）を含む犠牲層用薄膜（35）上の所定領域に、第1の導電層用薄膜（33）に対し当該開口部（36）を通じて電氣的に接続された状態の第2の導電性薄膜（37）及びこれを覆う貼り合わせ用薄膜（38）を形成するという第3成膜工程の実行後に、最終的に梁構造体（2、2'）及び固定電極（8、8'、9、10、10'、11）となる部分以外の領域に対応した部分の貼り合わせ用薄膜（38）を除去して凹部（38a）を形成する工程を行う構成とすることもできる。

【0025】この場合には、その後に貼り合わせ工程を

経て実行される剥離工程において、半導体基板(39)における凹部(38a)に対応した部分については、貼り合わせ用薄膜(38)側と接合されていないため当該半導体基板(39)側に残置された状態となるものであり、従って、ベース基板(1、31)側に貼り合わされた状態の半導体基板(39)には、梁構造体(2、2')並びに固定電極(8、8'、9、10、10'、11)を画定するための前記溝パターン(42)と同等の溝パターンが形成されることになる。

【0026】請求項19記載の製造方法のように、ベース基板(1、31)の材料として半導体材料を使用した場合には、当該ベース基板(1、31)と、これに貼り合わされる半導体基板(39)との間で発生する熱応力を低減することができるため、その熱応力に起因した梁構造体(2、2')での歪み発生を抑制できて、センサ出力特性の悪化を未然に防止できることになる。

【0027】

【発明の実施の形態】以下、本発明を容量型の半導体加速度センサの製造方法に適用した複数の実施例について図面を参照しながら説明する。

【0028】(第1の実施の形態)図1～図5には本発明の第1実施例が示されている。この第1実施例において、図4には半導体加速度センサの要部の平面形状が示され、図5には図4中のV-V線に沿った断面形状が示されている。

【0029】図4及び図5において、ベース基板1の上には、リンなどの不純物がドーピングされた単結晶シリコン(半導体材料)より成る梁構造体2が配置されている。この梁構造体2は、ベース基板1側から突出する4つのアンカー部3a、3b、3c、3dにより支持され、以てベース基板1との間に所定ギャップを存するように構成されている。尚、アンカー部3a、3b、3c、3dは、リンなどの不純物がドーピングされたポリシリコン薄膜より成る。

【0030】梁構造体2にあつては、互いに平行した2本の梁部4及び5が、アンカー部3a・3b間及びアンカー部3c・3d間に架設されており、それら梁部4及び5の各中央部間には、長形状をなす質量部(マス部)6が当該梁部4及び5と直交する形態で一体的に設けられている。また、質量部6の両側面からは、等間隔配置された例えば4個ずつの可動電極7a及び7bが、梁部4及び5と平行した方向へ指向するように一体に突出形成されている。尚、可動電極7a及び7bは、断面矩形状の棒状に形成されており、また、質量部6には、後述する犠牲層エッチング工程においてエッチング液を浸入し易くするための透孔6a群が設けられている。

【0031】ベース基板1上には、一端側がアンカー部8a及び9aにより支持された状態の4個ずつの第1の固定電極8及び9が、それぞれ前記可動電極7a及び7bの一方の側面と所定間隔を存して平行した形態で配置

されていると共に、同じく一端側がアンカー部10a及び11aにより支持された状態の4個ずつの第2の固定電極10及び11が、それぞれ可動電極7a及び7bの他方の側面と所定間隔を存して平行した形態で配置されている。尚、これらの第1の固定電極8、9及び第2の固定電極10、11は、リンなどの不純物がドーピングされた単結晶シリコンにより断面矩形状の棒状に形成されたものである。

【0032】また、ベース基板1上には、リンなどの不純物がドーピングされた単結晶シリコンより成る合計4個の電極取出部12、13、14、15が設けられており、これらはベース基板1側から突出するアンカー部12a、13a、14a、15aによりそれぞれ支持されている。尚、アンカー部12a～15aは、リンなどの不純物がドーピングされたポリシリコン薄膜より成る。

【0033】上記ベース基板1は、その基板材料として単結晶シリコン(半導体材料)を使用したものであり、図5に示すように、その上面には、下層側絶縁体薄膜16、導電性薄膜17及び上層側絶縁体薄膜18をこの順に積層した構成となっている。この場合、下層側絶縁体薄膜16はシリコン酸化膜より成り、上層側絶縁体薄膜18はシリコン窒化膜より成る。さらに、導電性薄膜17はリンなどの不純物がドーピングされたポリシリコン薄膜より成る。

【0034】上記導電性薄膜17により、図4に示す4つの配線パターン19、20、21、22が形成されると共に、静電気力相殺用の下部電極23が形成される。この場合、配線パターン19及び20は、それぞれ第1の固定電極8及び9用の配線であり、配線パターン21及び22は、それぞれ第2の固定電極10及び11用の配線である。また、下部電極23は、梁構造体2及び固定電極8～11に下面側から対向した領域に形成されるもので、梁構造体2と等電位とされることにより、当該梁構造体2とベース基板1との間に生じる静電気力を相殺するようになっている。

【0035】上層側絶縁体薄膜18には、前記アンカー部3a～3d、8a～15aに対応した各位置にそれぞれ開口部18a(図5に一部のみ図示)が形成されており、これにより、不純物ドーピングポリシリコンより成るアンカー部3a～3d及び8a～15aと導電性薄膜17とが上記開口部18aを通じて連結された状態となっている。

【0036】この場合、第1の固定電極8群は、アンカー部8a、配線パターン19及びアンカー部12aを通じて電極取出部12に電気的に接続され、第1の固定電極9群は、アンカー部9a、配線パターン20及びアンカー部13aを通じて電極取出部13に電気的に接続される。また、第2の固定電極10群は、アンカー部10a、配線パターン21及びアンカー部14aを通じて電極取出部14に電気的に接続され、第2の固定電極11



群は、アンカー部 11a、配線パターン 22 及びアンカー部 15a を通じて電極取出部 15 に電氣的に接続される。

【0037】梁構造体 2 におけるアンカー部 3a の上方位置には、アルミ薄膜より成る電極（ボンディングパッド）24 が設けられている。また、電極取出部 12、13、14、15 の各上面にも、アルミ薄膜より成る電極（ボンディングパッド）25、26、27、28 がそれぞれ設けられている。

【0038】上記のような構成により、梁構造体 2 の可動電極 7a 及び 7b と第 1 の固定電極 8 及び 9 との間に第 1 のコンデンサが形成される。また、梁構造体 2 の可動電極 7a 及び 7b と第 2 の固定電極 10 及び 11 との間に第 2 のコンデンサが形成される。これら第 1 及び第 2 のコンデンサの静電容量は、梁構造体 2 に加速度が作用することに伴う可動電極 7a 及び 7b の変位に応じて変化するものであり、斯様な静電容量の変化を、梁構造体 2 におけるアンカー部 3a に設けられた電極 24 並びに電極取出部 12、13、14、15 に設けられた電極 25～28 を通じて取り出すことによって、加速度を検出できるようになる。

【0039】図 1 ないし図 3 には、上記ような半導体加速度センサの製造工程例が示されており、以下これについて説明する。尚、図 1 ないし図 3 は、図 5 に示した断面での製造工程を模式的に示す示す概略断面図である。

【0040】まず、図 1（a）に示す第 1 成膜工程では、ベース基板 1 のための単結晶シリコン基板 31 上に、熱酸化或いは CVD 法などにより下層側絶縁体薄膜 16 のためのシリコン酸化膜 32 を成膜し、さらに、このシリコン酸化膜 32 上に、CVD 法などにより導電性薄膜 17 のためのポリシリコン薄膜 33（本発明でいう第 1 の導電層用薄膜に相当）を成膜し、その後にリン拡散などにより不純物を導入する。

【0041】図 1（b）に示す第 2 成膜工程では、ポリシリコン薄膜 33 をフォトリソグラフィを利用してパターンニングすることによって、最終的に配線パターン 19～22 及び下部電極 23 となる領域を形成し、この後に、CVD 法などにより上層側絶縁体薄膜 18 のためのシリコン窒化膜 34 及びシリコン酸化膜 35（本発明でいう犠牲層用薄膜に相当）を成膜する。尚、上記シリコン窒化膜 34 は、犠牲層と成るシリコン酸化膜 35 をウエットエッチングする際にエッチングストップ膜として機能するものである。

【0042】図 1（c）に示す開口工程では、シリコン酸化膜 35 及びシリコン窒化膜 34 の積層体に対して、フォトリソグラフィを経てエッチング処理を施すことにより、アンカー部 3a～3d、8a～15a の形成領域に開口部 36 を形成する。

【0043】図 1（d）に示す第 3 成膜工程では、開口部 36 に対しポリシリコン薄膜 37（本発明でいう第 2

の導電層用薄膜に相当）を埋め込んだ後に、リン拡散などにより不純物を導入し、さらに、そのポリシリコン薄膜 37 及びシリコン酸化膜 34 上に貼り合わせ用薄膜としてのポリシリコン薄膜 38 を成膜し、機械研磨により平坦化する。これにより、ポリシリコン薄膜 37 は、前記導電性薄膜 17 のためのポリシリコン薄膜 33 に対して開口部 36 を通じて電氣的に接続された状態となる。尚、ポリシリコン薄膜 38 に対しては、その後の熱処理などに伴いポリシリコン薄膜 37 側からの不純物の拡散が期待できるため、当該ポリシリコン薄膜 38 へ不純物を導入する工程は必要に応じて行えば良い。

【0044】図 1（e）に示すイオン注入工程では、前記単結晶シリコン基板 31 とは別途に用意した単結晶シリコン基板 39（本発明でいう単結晶半導体基板に相当）の一方の面に、汚染保護膜として機能するシリコン酸化膜 40 を、熱酸化若しくは CVD 法などにより予め均一な膜厚（例えば、0.1  $\mu\text{m}$  程度）となるように成膜しておき、図中に矢印で示すように、そのシリコン酸化膜 40 を通して水素イオン若しくは希ガスイオンを所定深さまで注入することにより、当該単結晶シリコン基板 39 の表面と平行な分布状態のイオン注入層 41 を形成する。

【0045】ここで、上記単結晶シリコン基板 39 は、最終的に梁構造体 2 や第 1 及び第 2 の固定電極 8、9 及び 10、11 などを形成するためのものであり、本実施例では、当該梁構造体 2 並びに第 1 及び第 2 の固定電極 8、9 及び 10、11 の厚さ寸法に対応した深さ位置までイオン注入を行うようにしている。

【0046】上記イオン注入工程でのドーズ量は、水素イオンの場合で、 $1 \times 10^{16} \text{atoms/cm}^2$  以上、好ましくは  $5 \times 10^{16} \text{atoms/cm}^2 \sim 1 \times 10^{17} \text{atoms/cm}^2$  に設定する。また、梁構造体 2 並びに第 1 及び第 2 の固定電極 8、9 及び 10、11 の厚さ寸法として 10  $\mu\text{m}$  を想定した場合、水素イオンの注入エネルギーは 1 MeV を越える値に設定することになる。

【0047】図 2（f）に示す貼り合わせ工程では、単結晶シリコン基板 39 のシリコン酸化膜 40 を、例えばフッ酸水溶液を用いた化学エッチングにより除去した後、その表面に親水化処理を施すと共に、前記単結晶シリコン基板 31 におけるポリシリコン薄膜 38 側の面にも親水化処理を施し、両者を親水化処理面で密着させて貼り合わせる。

【0048】尚、この実施例では、シリコン酸化膜 40 を全部除去する構成としたが、当該シリコン酸化膜 40 をそのまま残したり、或いはシリコン酸化膜 40 の表層部分のみを所定膜厚だけ除去することによりある程度の膜厚を残した状態としても良いものである。

【0049】図 2（g）に示す剥離工程では、単結晶シリコン基板 31 及び 39 の一体物に対して熱処理を施すことによって、単結晶シリコン基板 39 をイオン注入層

41により形成される欠陥層領域部分で剥離するものであり、これにより、単結晶シリコン基板39上にシリコン酸化膜32を介して単結晶シリコン薄膜39aが積層された形態のSOI構造が形成されることになる。

【0050】この場合、具体的には、イオン注入層41が水素イオンにより形成されたものであった場合には、400～600℃程度で熱処理を行うことが好ましく、斯様な熱処理に応じて、イオン注入層41により形成される欠陥層領域部分で、微小気泡が凝集してマクロな気泡を生じ、これにより当該欠陥層領域部分を境界とした剥離が生ずることになる。尚、単結晶シリコン基板39から単結晶シリコン薄膜39aを剥離する熱処理を行った後には、さらに、その熱処理温度より高温（好ましくは1000℃～1200℃程度）以上の熱処理を施すことにより、ポリシリコン薄膜38と単結晶シリコン薄膜39aとの貼り合わせ面の接合強度を強化する。

【0051】また、上記のような単結晶シリコン薄膜39aの剥離面には、イオン注入に伴い形成された欠陥層が残存すると共に、数nm～数十nm程度の微小段差が生ずるものであり（図2（g）では、この微小段差を無視した状態の図を示している）、このため、本実施例では、単結晶シリコン薄膜39a上に生じた欠陥層及び微小段差を機械研磨により除去及び平滑化する工程を、剥離工程の後に実行するようにしている。但し、このような欠陥層及び微小段差の除去及び平滑化は必要に応じて行えば良い。

【0052】この後には、図2（h）及び図3（i）～（k）に示す整形工程を実行する。即ち、まず、図2（h）に示すように、SOI構造とされた単結晶シリコン薄膜39aに対してフォトリソグラフィを利用したトレンチエッチングを行い、梁構造体2、第1の固定電極8及び9、第2の固定電極10及び11、電極取出部12、13、14、15を画定する溝パターン42を形成する。この場合、上記トレンチエッチングは、溝パターン42が犠牲層用のシリコン酸化膜35に到達する深さまで行う。さらに、この段階で、上記単結晶シリコン薄膜39aに電極機能などのための導電性を付与するために、当該単結晶シリコン薄膜39aに対してリン拡散などにより不純物を導入する。

【0053】次いで、図3（i）に示すように、シリコン酸化膜43をCVD法などにより成膜し、ドライエッチングなどによりエッチバックを行って基板表面を平坦化する。

【0054】さらに、図3（j）に示すように、層間絶縁膜44を成膜し、フォトリソグラフィ及びドライエッチングなどによりコンタクトホール45を形成し、層間絶縁膜44上の所定領域にシリコン窒化膜46を形成する。

【0055】この後、図3（k）に示すように、アルミ電極24～28（図4参照）のためのアルミ薄膜47を

成膜工程及びフォトリソグラフィ工程を経て形成し、その後、パッシベーション膜48を成膜工程及びフォトリソグラフィを経て形成する。

【0056】そして、この図3（k）の状態から、フッ酸系のエッチング液によりシリコン酸化膜35及び43を除去することにより、図5に示したように、可動電極7a、7bなどを有する梁構造体2を可動構造とする。つまり、上述したような整形工程（図2（h）及び図3（i）～（k））の実行に応じて、アンカー部3a～3dにより支持された状態の可動構造の梁構造体2並びにアンカー部8a～11aにより支持された状態の第1の固定電極8、9及び第2の固定電極10、11などが形成される。

【0057】尚、上記フッ酸系のエッチング液を利用したシリコン酸化膜35及び43のウエットエッチング時には、シリコン窒化膜34並びにポリシリコン37及び38がエッチングストップとして機能する。

【0058】上記した本実施例によれば、以下に述べるような効果を奏することができる。即ち、梁構造体2を、物理的性質が安定した単結晶シリコンにより構成したから、その梁構造体2の機械的信頼性が向上するようになって良好なセンサ出力特性が得られるようになる。

【0059】この場合、上記梁構造体2の厚さ寸法は、剥離工程を経て単結晶シリコン基板39から剥離された単結晶シリコン薄膜39aの膜厚、つまり、イオン注入工程でのイオン注入深さに応じて決まることになる関係上、その膜厚制御のために、従来構成のようにラッピングによる機械研磨を長時間に渡って行う必要がなくなるものであり、当該膜厚を高い精度（膜厚ばらつきが数十nm程度以下の精度）で制御可能になる。この結果、梁構造体2の厚さ寸法を厳密に制御することができて、センサ出力特性の安定化や歩留まりの向上などを確実に実現できるようになる。

【0060】尚、本実施例では、単結晶シリコン薄膜39aの剥離面に対して機械研磨を施すようにしているが、この機械研磨は、剥離面に生ずる数nm～数十nm程度の微小段差を平坦化する程度だけ行えば済むものであるから、膜厚精度に悪影響を与えることはない。

【0061】ベース基板1は、梁構造体2及び固定電極8～11などを構成する単結晶シリコン基板39と物理的特性が同一の単結晶シリコン基板31により構成されているから、当該ベース基板1と、これに貼り合わされる単結晶シリコン基板39との間で発生する熱応力を低減することができることになる。この結果、その熱応力に起因した梁構造体2などでの歪み発生を抑制できて、センサ出力特性の悪化を未然に防止できることになる。

【0062】（第2の実施の形態）図6には、本発明の第2実施例による半導体加速度センサの製造工程例が模式的に示されており、以下これについて前記第1実施例との相違点を中心に説明する。

【0063】この第2実施例では、単結晶シリコン基板31に対する第1成膜工程(図1(a)参照)、第2成膜工程(図1(b)参照)、開口工程(図1(c)参照)、第3成膜工程(図1(d)参照)を、第1実施例と同様に行う。

【0064】図6(a)に示すイオン注入工程では、単結晶シリコン基板31とは別途に用意した単結晶シリコン基板39の一方の面に、汚染保護膜として機能するシリコン酸化膜40を、熱酸化若しくはCVD法などにより予め均一な膜厚(例えば、 $0.1\mu\text{m}$ 程度)となるように成膜しておき、そのシリコン酸化膜40を通して水素イオン若しくは希ガスイオンを所定深さ(梁構造体2の厚さ寸法より浅い深さ位置、例えば数 $\mu\text{m}$ 程度以下)まで注入することによりイオン注入層41'を形成する。

【0065】上記イオン注入工程でのドーズ量は、水素イオンの場合で、第1実施例と同様に、 $1\times 10^{16}\text{atoms/cm}^2$ 以上、好ましくは $5\times 10^{16}\text{atoms/cm}^2$ ～ $1\times 10^{17}\text{atoms/cm}^2$ に設定されるものであり、また、イオン注入深さとして数 $\text{nm}$ 程度を想定した場合、水素イオンの注入エネルギーは数百 $\text{KeV}$ 程度に設定することになる。

【0066】この後には、図6(b)に示す貼り合わせ工程を行うものであり、この工程では、第1実施例における貼り合わせ工程(図2(f)参照)と基本的に同様の手順を踏むことにより、単結晶シリコン基板39を単結晶シリコン基板31側のポリシリコン薄膜38に貼り合わせる。

【0067】図6(c)に示す剥離工程では、単結晶シリコン基板31及び39の一体物に対して第1実施例と同様の熱処理を施すことによって、単結晶シリコン基板39をイオン注入層41'により形成される欠陥層領域部分で剥離すると共に、前記貼り合わせ面の接合強度の強化のための熱処理を行うものであり、これにより、単結晶シリコン基板39上にシリコン酸化膜32を介して単結晶シリコン薄膜39a'が積層された形態のSOI構造が形成されることになる。

【0068】図6(d)に示す成長工程では、単結晶シリコン薄膜39a'上の欠陥層を機械研磨若しくはシリコン酸化膜成膜後のエッチングにより除去した後に、例えばシラン系の材料を原料としたCVD法などにより単結晶シリコン膜をエピタキシャル成長させることによって、梁構造体2の厚さ寸法に対応した膜厚の単結晶シリコン層49(本発明でいう単結晶半導体層に相当)を形成する。

【0069】この後には、前記第1実施例と同様の整形工程(図2(h)及び図3(i)～(k)参照)を実行することにより、半導体加速度センサを完成させる。

【0070】このように構成した本実施例によれば、成長工程において、単結晶シリコン層49の膜厚が $10\mu$

m程度となるようなエピタキシャル成長を行った場合、その膜厚ばらつきを数百 $\text{nm}$ 程度以下に抑制できるものである。従って、第1実施例と同様に、梁構造体2の厚さ寸法を十分に高い精度で制御できるようになって、センサ出力特性の安定化や歩留まりの向上などを実現可能となる。

【0071】特に、本実施例によれば、イオン注入工程において、単結晶シリコン基板39に対し、比較的浅い深さ位置までイオン注入を行うだけで良いから、イオン注入エネルギーを大きくする必要がなくなるものであり、結果的に大型のイオン注入装置が不要となって製造設備の大規模化を招く恐れがなくなる。

【0072】(第3の実施の形態)図7には、本発明の第3実施例による半導体加速度センサの製造工程例が模式的に示されており、以下これについて前記第1及び第2実施例との相違点を中心に説明する。

【0073】この第3実施例において、単結晶シリコン基板31に対する第1成膜工程(図1(a)参照)、第2成膜工程(図1(b)参照)、開口工程(図1(c)参照)、第3成膜工程(図1(d)参照)を、前記第1実施例と同様に行う。また、図7(a)に示すイオン注入工程では、単結晶シリコン基板31とは別途に用意した単結晶シリコン基板39に対するイオン注入を、第2実施例におけるイオン注入工程(図6(a)参照)と同様に行う。

【0074】図7(b)に示す成長工程では、単結晶シリコン基板39上のシリコン酸化膜40(汚染保護膜)を、例えばフッ酸水溶液を用いた化学エッチングにより除去した後に、その単結晶シリコン基板39の表面に単結晶シリコンをエピタキシャル成長させることによって、梁構造体2の厚さ寸法に対応した膜厚の単結晶シリコン層50(本発明でいう単結晶半導体層に相当)を形成する。

【0075】この場合、単結晶シリコンは、例えば分子線エピタキシャル法により成長させるものであり、このときの成長温度は、例えば $400^{\circ}\text{C}$ 程度であり、イオン注入層41'での剥離が起きる温度よりも低く設定されている。

【0076】この後には、図7(c)に示す貼り合わせ工程を行うものであり、この工程では、第1実施例における貼り合わせ工程(図2(f)参照)と基本的に同様の手順を踏むことにより、単結晶シリコン基板39を単結晶シリコン基板31側のポリシリコン薄膜38に貼り合わせる。

【0077】この貼り合わせ工程の終了後には、前記第1実施例と同様の、剥離工程(図2(g)参照)、整形工程(図2(h)及び図3(i)～(k)参照)を順次実行することにより、半導体加速度センサを完成させる。

【0078】このように構成した本実施例によっても、

前記第2実施例と同様の効果を奏するものである。特に本実施例では、単結晶シリコン基板39に対するイオン注入工程を実行した後に、その表面を利用した単結晶シリコンのエピタキシャル成長によって単結晶シリコン層50を形成する構成としている関係上、剥離工程後において、単結晶シリコン層50におけるイオン注入側の表面を除去できることになるので、イオン注入によるダメージや汚染を受けた部分を除去可能となり、結果的に品質の優れた単結晶シリコン層50が得られる利点がある。

【0079】(第4の実施の形態)図8及び図9には、本発明の第4実施例が示されており、以下これについて前記第1実施例との相違点を中心に説明する。尚、図8は第4実施例による半導体加速度センサの製造工程例を模式的に示すものであり、図9は加速度センサの基本構造を示した断面図である。

【0080】この第4実施例では、単結晶シリコン基板31に対する第1成膜工程(図1(a)参照)、第2成膜工程(図1(b)参照)、開口工程(図1(c)参照)を、第1実施例と同様に行うが、第3成膜工程については、図8(a)に示すように行う。

【0081】即ち、開口工程の実行により、シリコン酸化膜35及びシリコン窒化膜34の積層体に対して開口部36を形成した後は、図8(a)に示す第3成膜工程において、開口部36に対しポリシリコン薄膜37を埋め込んだ後に、リン拡散などにより不純物を導入する。

【0082】この場合、上記第3成膜工程では、ポリシリコン薄膜37の埋め込み段差を平坦化するために、シリコン酸化膜34及びポリシリコン薄膜37上に、当該ポリシリコン薄膜37と同材質の材料であるポリシリコン膜(ノンドロフト)を堆積した状態で、シリコン酸化膜34をストップとした平坦化研磨を行うことにより、単結晶シリコン基板39との貼り合わせ面が図8のように平坦な状態となるようにしている。

【0083】上記のような第3成膜工程の実行後には、図8(b)に示す貼り合わせ工程を行う。この貼り合わせ工程では、第1実施例と同様のイオン注入工程(図1(e)参照)を経た単結晶シリコン基板39のシリコン酸化膜40を、フッ酸水溶液を用いた化学エッチングなどにより除去した後に、その表面に親水化処理を施すと共に、単結晶シリコン基板31におけるシリコン酸化膜34及びポリシリコン薄膜37側の面にも親水化処理を施し、両者を親水化処理面で密着させて貼り合わせる。

【0084】次いで、図8(c)に示す剥離工程を、第1実施例における剥離工程(図2(g)参照)と同様に行うことによって、単結晶シリコン基板39をイオン注入層41により形成される欠陥層領域部分で剥離すると共に、剥離された単結晶シリコン薄膜39a上に生じた欠陥層及び微小段差を除去及び平滑化する機械研磨を必

要に応じて実行し、これにより、単結晶シリコン基板39上にシリコン酸化膜32を介して単結晶シリコン薄膜39aが積層された形態のSOI構造を形成する。

【0085】この後には、前記第1実施例と同様の整形工程(図2(h)及び図3(i)~(k)参照)を実行することにより、図9に示すような断面構造の梁構造体2'、(一方の梁部を符号4'で示す)、第1の固定電極(一方側のみを符号8'を付して示す)、第2の固定電極(一方側のみを符号10'を付して示す)など備えた半導体加速度センサの基本構造を完成させる。

【0086】このように構成した第4実施例によっても第1実施例と同様の効果を奏するものであり、特に、本実施例によれば、梁構造体2'の全体が単結晶シリコンにより形成されることになるから、その梁構造体2'の物理的性質を、単結晶シリコン及びポリシリコンの二層構造となる第1実施例の梁構造体2よりさらに安定化させることができ、センサ出力特性の大幅な向上に寄与できるようになる。

【0087】(第5の実施の形態)図10には、本発明の第5実施例による半導体加速度センサの製造工程例が模式的に示されており、以下これについて前記第1実施例との相違点を中心に説明する。

【0088】この第5実施例では、単結晶シリコン基板31に対する第1成膜工程(図1(a)参照)、第2成膜工程(図1(b)参照)、開口工程(図1(c)参照)、第3成膜工程(図1(d)参照)を、第1実施例と同様に行う。

【0089】図10(a)に示すイオン注入工程では、単結晶シリコン基板31とは別途に用意した単結晶シリコン基板39の一方の面に、汚染保護膜としてのシリコン酸化膜40を、熱酸化若しくはCVD法などにより予め均一な膜厚(例えば、0.1 $\mu$ m程度)となるように成膜すると共に、そのシリコン酸化膜40上に、フォトリソグラフィを利用したパターンニングにより所定形状のフォトレジスト51(本発明でいうレジスト層に相当)を形成しておき、この状態から、シリコン酸化膜40を通して水素イオン若しくは希ガスイオンを所定深さ(梁構造体2の厚さ寸法に対応した深さ位置)まで注入することによりイオン注入層41''を形成する。

【0090】この場合、フォトレジスト51が存在する場合上、イオン注入層41''は、当該フォトレジスト51と対応した領域で欠損することになるが、この欠損領域の形状(つまり、フォトレジスト51の形状)は、単結晶シリコン基板39において、最終的に梁構造体2、第1の固定電極8、9、第2の固定電極10、11、電極取出部12、13、14、15となる部分以外の領域の形状と一致されるものである。

【0091】この後には、フォトレジスト51を除去した状態で、図10(b)に示す貼り合わせ工程を実行するものであり、この工程では、第1実施例における貼り

合わせ工程（図 2（f）参照）と基本的に同様の手順を踏むことにより、単結晶シリコン基板 39 を単結晶シリコン基板 31 側のポリシリコン薄膜 38 に貼り合わせる。

【0092】図 10（c）に示す剥離工程では、単結晶シリコン基板 31 及び 39 の一体物に対して第 1 実施例と同様の熱処理を施すことによって、単結晶シリコン基板 39 をイオン注入層 41'' により形成される欠陥層領域部分で剥離することにより、単結晶シリコン基板 31 上にシリコン酸化膜 32 を介して単結晶シリコン薄膜 39a'' が積層された形態の SOI 構造を形成する。但し、この場合には、単結晶シリコン基板 39 におけるイオン注入層 41'' の欠陥領域に対応した部分については、ポリシリコン薄膜 38 との接合状態が解除されて当該単結晶シリコン基板 39 側に残置された状態となるものであり、従って、単結晶シリコン薄膜 39a'' には、梁構造体 2、第 1 の固定電極 8 及び 9、第 2 の固定電極 10 及び 11、電極取出部 12、13、14、15 を画定する溝パターン 42（図 2（h）参照）と同等の溝パターン 42' が形成されることになる。尚、上記のような剥離のための熱処理の後には、前記貼り合わせ面の接合強度の強化のための熱処理を行うと共に、梁構造体 2 などを構成するための単結晶シリコン薄膜 39a に対してリン拡散などにより不純物を導入する処理を行うものである。

【0093】この後には、図 10（d）に示すように、上記溝パターン 42' に対応した部分のポリシリコン膜 38 をドライエッチングなどにより除去する工程を行った後に、整形工程を実行する。

【0094】この整形工程では、第 1 実施例における図 3（i）～（k）と同様の工程を行うことにより、半導体加速度センサを完成させる。尚、単結晶シリコン薄膜 39a'' 上に生じた欠陥層及び微小段差を機械研磨により除去及び平滑化する場合がある場合には、その機械研磨工程を、図 3（i）に示す工程中、つまり同図に示すシリコン酸化膜 43 を成膜した状態において行えば良い。

【0095】このような構成とした本実施例によれば、第 1 実施例のように、比較的膜厚が大きい単結晶シリコン薄膜 39a に対してトレンチエッチングを行う工程、つまり所要時間が大幅に長引く工程を行う必要がなくなるという利点がある。

【0096】（第 6 の実施の形態）図 11 には、本発明の第 6 実施例による半導体加速度センサの製造工程例が模式的に示されており、以下これについて前記第 1 実施例との相違点を中心に説明する。

【0097】この第 6 実施例では、単結晶シリコン基板 31 に対する第 1 成膜工程（図 1（a）参照）、第 2 成膜工程（図 1（b）参照）、開口工程（図 1（c）参照）、第 3 成膜工程（図 1（d）参照）を、第 1 実施例

と同様に行う。

【0098】上記第 3 成膜工程の実行後には、図 11（a）に示すように、溝パターン 42（図 2（h）参照）となる領域、つまり、最終的に梁構造体 2、第 1 の固定電極 8、9、第 2 の固定電極 10、11、電極取出部 12、13、14、15 となる部分以外の領域に対応した部分のポリシリコン膜 38 をドライエッチングにより除去して凹部 38a を形成する工程を行う。

【0099】この後には、図 11（b）に示す貼り合わせ工程を行うものであり、この工程では、第 1 実施例におけるイオン注入工程（図 1（e）参照）を経た単結晶シリコン基板 31 を利用して、同第 1 実施例における貼り合わせ工程（図 2（f）参照）と基本的に同様の手順を踏むことにより、単結晶シリコン基板 39 を単結晶シリコン基板 31 側のポリシリコン薄膜 38 に貼り合わせる。

【0100】図 11（c）に示す剥離工程では、単結晶シリコン基板 31 及び 39 の一体物に対して第 1 実施例と同様の熱処理を施すことによって、単結晶シリコン基板 39 をイオン注入層 41 により形成される欠陥層領域部分で剥離することにより、単結晶シリコン基板 31 上にシリコン酸化膜 32 を介して単結晶シリコン薄膜 39a'' が積層された形態の SOI 構造を形成する。但し、この場合には、単結晶シリコン基板 39 における凹部 38a に対応した部分については、ポリシリコン薄膜 38 側と接合されていないため当該単結晶シリコン基板 39 側に残置された状態となるものであり、従って、単結晶シリコン薄膜 39a'' には、梁構造体 2、第 1 の固定電極 8 及び 9、第 2 の固定電極 10 及び 11、電極取出部 12、13、14、15 を画定する溝パターン 42' が形成されることになる。尚、上記のような剥離のための熱処理の後には、前記貼り合わせ面の接合強度の強化のための熱処理を行うと共に、梁構造体 2 などを構成するための単結晶シリコン薄膜 39a に対してリン拡散などにより不純物を導入する処理を行うものである。

【0101】この後には、第 1 実施例における整形工程（図 3（i）～（k））と同様の工程を行うことにより、半導体加速度センサを完成させる。尚、単結晶シリコン薄膜 39a'' 上に生じた欠陥層及び微小段差を機械研磨により除去及び平滑化する場合がある場合には、その機械研磨工程を、図 3（i）に示す工程中、つまり同図に示すシリコン酸化膜 43 を成膜した状態において行えば良い。

【0102】このような構成とした本実施例によっても、比較的膜厚が大きい単結晶シリコン薄膜 39a に対してトレンチエッチングを行う工程、つまり所要時間が大幅に長引く工程を行う必要がなくなるという利点がある。

【0103】（第 7 の実施の形態）図 12 には、本発明の第 7 実施例による半導体加速度センサの製造工程例が

模式的に示されており、以下これについて前記第 1 実施例との相違点を中心に説明する。

【0104】図 12 (a) 及び (b) に示す第 1 成膜工程では、ベース基板 1 のための単結晶シリコン基板 3 1 上に、熱酸化或いは CVD 法などにより下層側絶縁体薄膜 1 6 のためのシリコン酸化膜 3 2 を成膜し、最終的に配線パターン 1 9 ~ 2 2 及び下部電極 2 3 となる領域をドライエッチングにより除去することにより、他の部位より薄くなった段差部 3 2 a を形成する (図 12 (a) 参照)。次いで、シリコン酸化膜 3 2 上に、CVD 法などにより導電性薄膜 1 7 のためのポリシリコン薄膜 3 3 を成膜した後に、シリコン酸化膜 3 2 をストップとした機械研磨を施すことにより上面を平坦化し、その後にリン拡散などによりポリシリコン膜 3 3 に不純物を導入する (図 12 (b) 参照)。

【0105】図 12 (c) に示す第 2 成膜工程では、シリコン酸化膜 3 2 及びポリシリコン酸化膜 3 3 上に、CVD 法などにより上層側絶縁体薄膜 1 8 のためのシリコン窒化膜 3 4 及びシリコン酸化膜 3 5 を成膜する。

【0106】図 12 (d) に示す開口工程では、シリコン酸化膜 3 5 及びシリコン窒化膜 3 4 の積層体に対して、フォトリソグラフィを経てエッチング処理を施すことにより、アンカー部 3 a ~ 3 d、8 a ~ 1 5 a の形成領域に開口部 3 6 を形成する。図 12 (e) に示す第 3 成膜工程では、開口部 3 6 に対しポリシリコン薄膜 3 7 を埋め込んだ後に、リン拡散などにより不純物を導入し、さらに、そのポリシリコン薄膜 3 7 及びシリコン酸化膜 3 4 上に貼り合わせ用のポリシリコン薄膜 3 8 を成膜し、機械研磨により平坦化する。これにより、ポリシリコン薄膜 3 7 は、前記導電性薄膜 1 7 のためのポリシリコン薄膜 3 3 に対して開口部 3 6 を通じて電気的に接続された状態となる。

【0107】この後には、第 1 実施例と同様のイオン注入工程 (図 1 (e) 参照)、貼り合わせ工程 (図 2 (f) 参照)、剥離工程 (図 2 (g) 参照)、整形工程 (図 2 (h) 及び図 3 (i) ~ (k) 参照) を実行することにより、半導体加速度センサを完成させる。

【0108】(その他の実施の形態) 尚、本発明は上記した実施例に限定されるものではなく、次のような変形または拡張が可能である。半導体基板や成長工程で形成される半導体層の半導体材料としては、実施例で述べたような単結晶シリコンに限られるものではなく、4 族元素を主体とした半導体材料であれば、例えば、Ge (ゲルマニウム)、SiC (炭化シリコン)、SiGe (シリコンゲルマニウム) などより成る多結晶半導体基板や多結晶膜を成長させた半導体基板、或いはダイヤモンドなどの基板を用いることができる。

【0109】ベース基板 1 としては、単結晶シリコン基板 3 1 に限らず、他の半導体基板或いは絶縁性を有するセラミック基板やガラス基板などを用いることもでき

る。この場合、ベース基板そのものが絶縁性を有するものであれば、ベース基板上に絶縁体薄膜 (実施の形態ではシリコン酸化膜 3 2) を別途に形成する工程を行う必要がなくなる。

【0110】第 2 実施例では、剥離工程を経た単結晶シリコン基板 3 9 (単結晶シリコン薄膜 3 9 a') の表面にエピタキシャル成長による単結晶シリコン層 4 9 を形成する構成としたが、当該単結晶シリコン基板 3 9 の表面にアモルファス層を形成し、これを熱処理により固相成長させることによって単結晶シリコン層を形成する構成としても良い。

【0111】第 3 実施例では、貼り合わせ工程の実行前に単結晶シリコン基板 3 9 の表面にエピタキシャル成長による単結晶シリコン層 5 0 を形成する構成としたが、その単結晶シリコン基板 3 9 の表面にアモルファス層を形成した状態にて貼り合わせ工程及び剥離工程を順次実行し、この後に熱処理を行うことにより、単結晶シリコン基板 3 1 側に貼り合された状態のアモルファス層を固相成長させて単結晶シリコン層を形成する構成としても良い。

【0112】容量型の半導体加速度センサの製造方法に適用した実施例について説明したが、ヨーレート、振動、角速度などの物理量を検出するためのセンサなどにも適用できる。また、梁構造体に可動電極を備えた加速度センサについて説明したが、梁構造体に歪みゲージ抵抗を備えて成るピエゾ抵抗型の半導体加速度センサにも適用することができる。

#### 【図面の簡単な説明】

【図 1】本発明の第 1 実施例による製造工程を模式的に示す断面図その 1

【図 2】同製造工程を模式的に示す断面図その 2

【図 3】同製造工程を模式的に示す断面図その 3

【図 4】半導体加速度センサの要部の平面図

【図 5】図 4 中の V-V 線に沿った断面図

【図 6】本発明の第 2 実施例による製造工程を模式的に示す断面図

【図 7】本発明の第 3 実施例による製造工程を模式的に示す断面図

【図 8】本発明の第 4 実施例による製造工程を模式的に示す断面図

【図 9】半導体加速度センサの基本構造を示す断面図

【図 10】本発明の第 5 実施例による製造工程を模式的に示す断面図

【図 11】本発明の第 6 実施例による製造工程を模式的に示す断面図

【図 12】本発明の第 7 実施例による製造工程を模式的に示す断面図

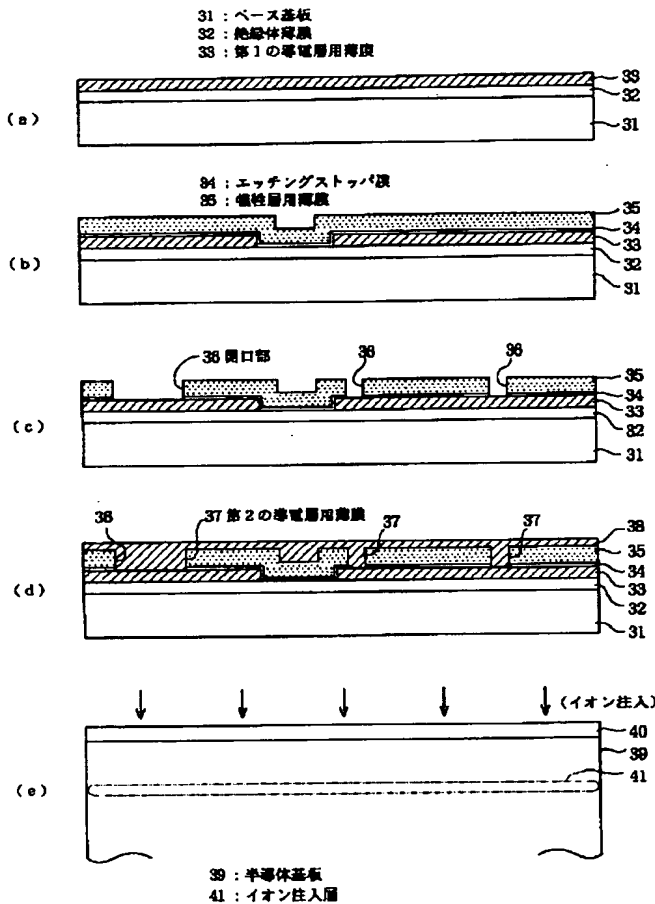
#### 【符号の説明】

1 はベース基板、2、2' は梁構造体、3 a ~ 3 d はアンカー部、7 a、7 b は可動電極、8、8'、9 は第 1

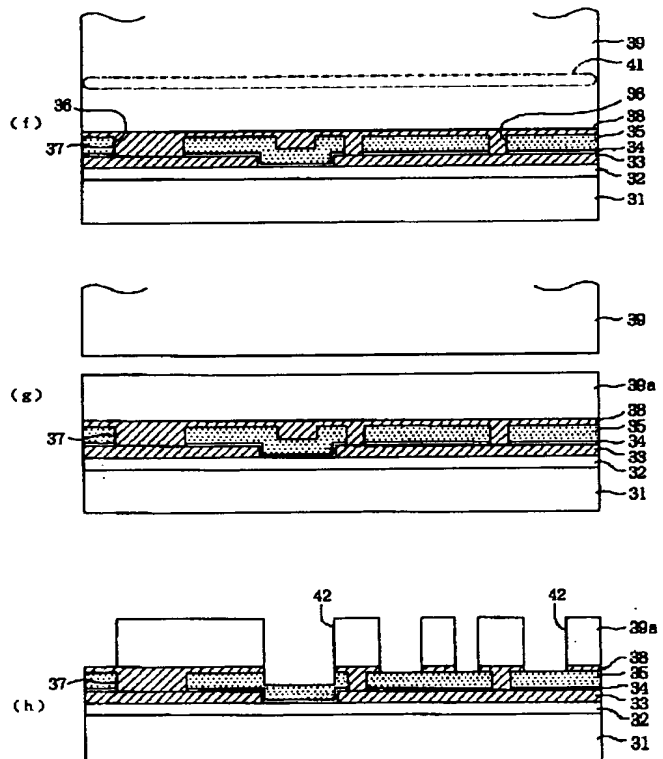
の固定電極、8a、9aはアンカー部、10、10'、11は第1の固定電極、10a、11aはアンカー部、16は下層側絶縁体薄膜、17は導電性薄膜、18は上層側絶縁体薄膜、19～22は配線パターン、31は単結晶シリコン基板（ベース基板）、32はシリコン酸化膜（絶縁体薄膜）、32aは段差部、33はポリシリコン薄膜（第1の導電層用薄膜）、34はシリコン窒化膜（エッチングストップ膜）、35はシリコン酸化膜（犠

牲層用薄膜）、36は開口部、37はポリシリコン薄膜（第2の導電層用薄膜）、38aは凹部、39は単結晶シリコン基板（半導体基板）、39a、39a'、39a''は単結晶シリコン薄膜、41、41'、41''はイオン注入層、42は溝パターン、49、50は単結晶シリコン層（半導体層）、51はフォトリソ（レジスト層）を示す。

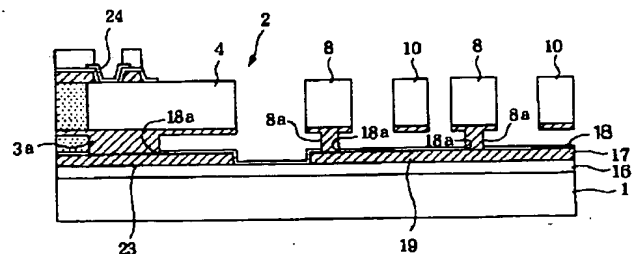
【図1】



【図2】

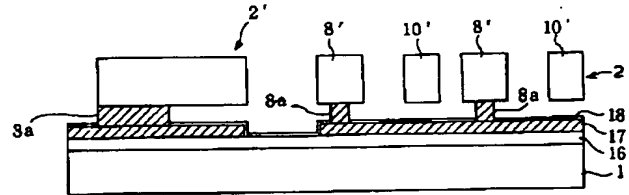


【図5】



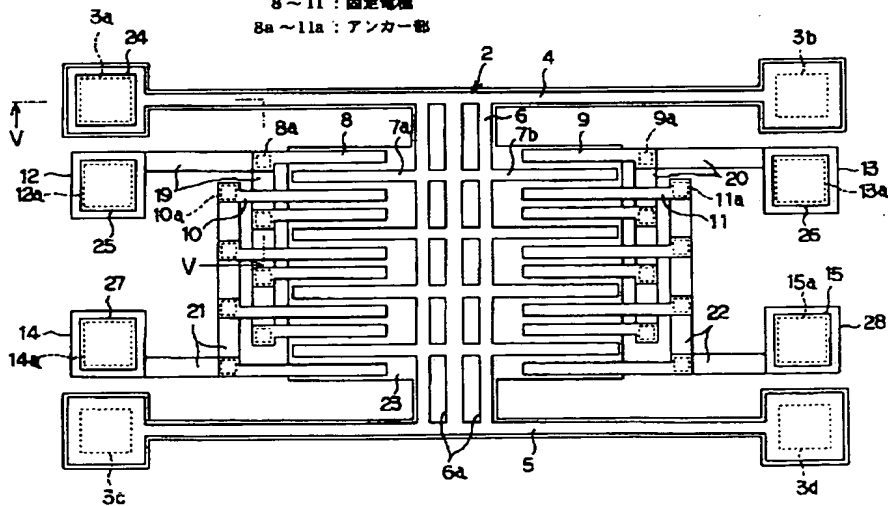
1: ベース基板  
2: 絶縁体  
3a、8a: アンカー部  
8、10: 固定電極

【図 9】



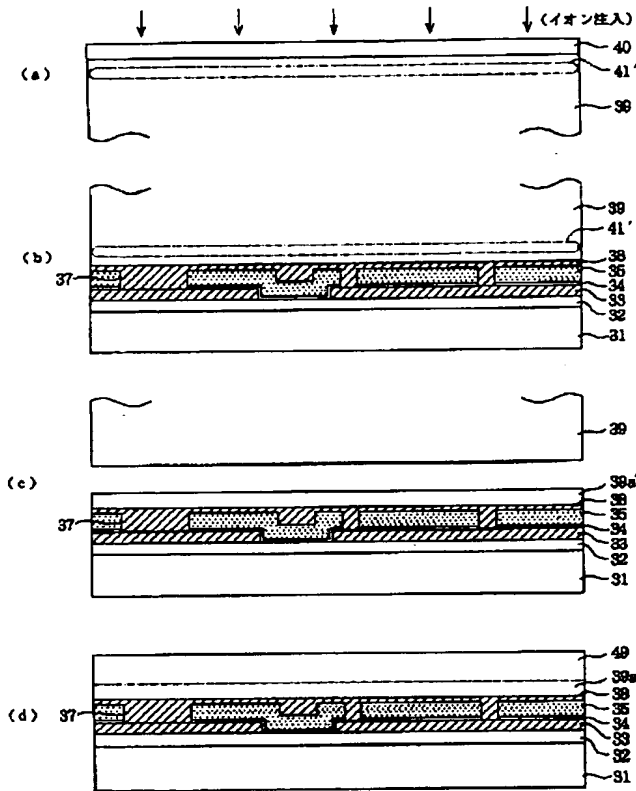
【図 4】

2 : 梁橋本体  
3a ~ 3d : アンカー部  
7a、7b : 可動電極  
8 ~ 11 : 固定電極  
8a ~ 11a : アンカー部

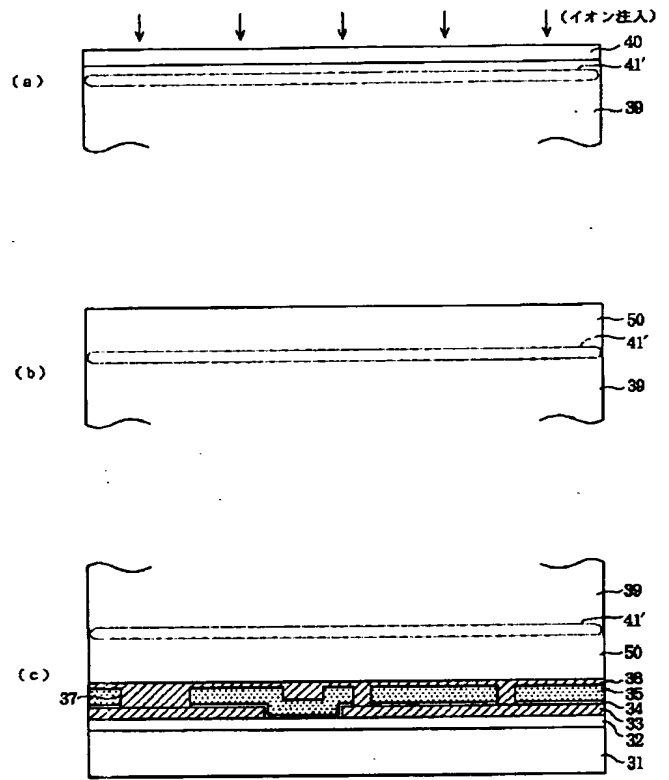




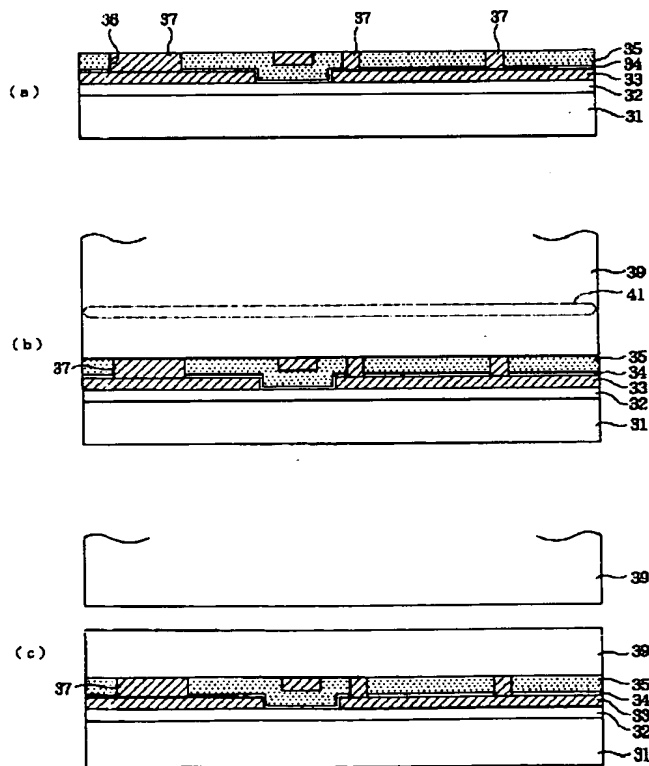
【図 6】



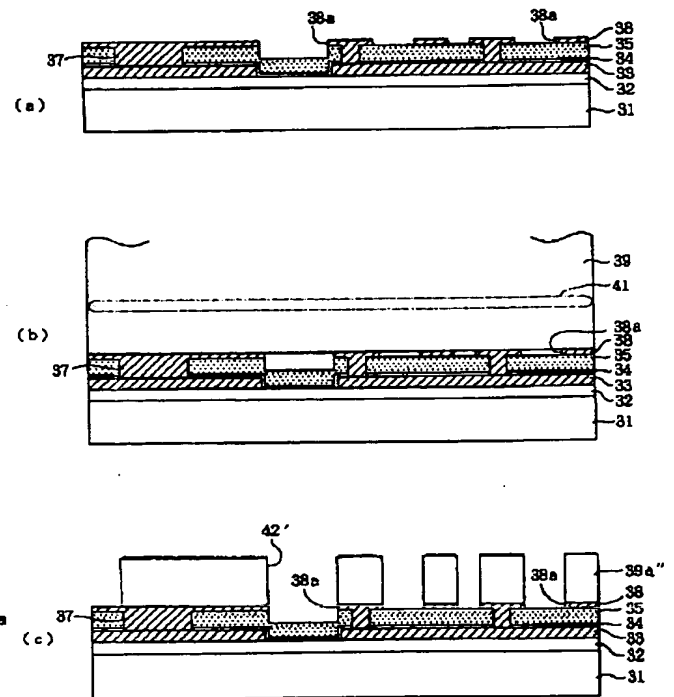
【図 7】



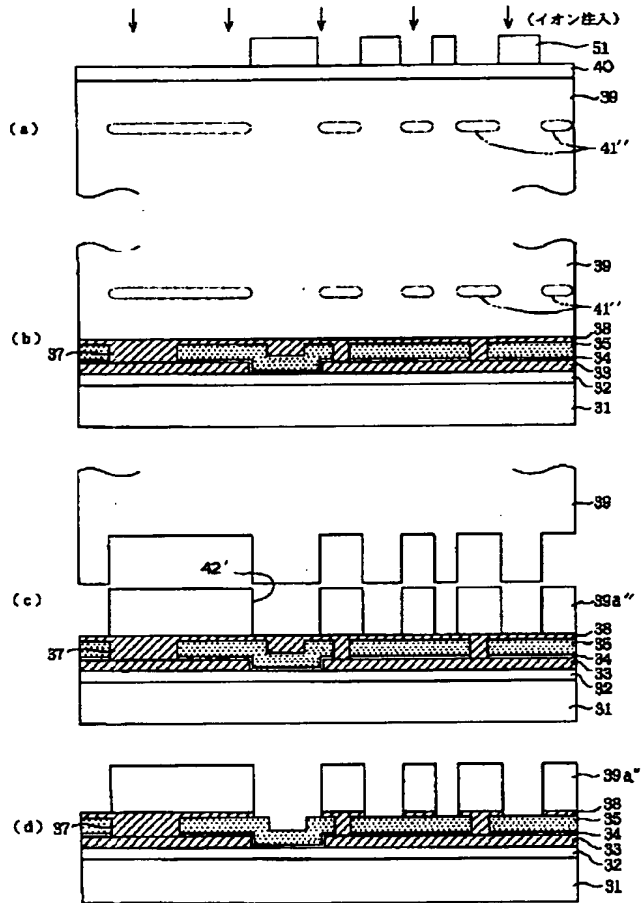
【図 8】



【図 11】



【図10】



【図12】

